

技術分野	分野構造				評価パラメータ	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014		
	大項目	中項目	小項目	重要課題		DRAM/ハーフピッチ(nm)	80	70	65	57	50	45	40	36	32	28	
半導体	支援技術	歩留り向上技術	欠陥検出・故障解析技術	デバイス性能に影響を与える欠陥サイズの微細化	パーティクル欠陥サイズ (nm)	40	35	32	28	25	23	20	18	16	14		
				局所的微細不良解析	検出感度・検出精度	微細不良解析の特定と不良分類(オフライン)	微細不良解析技術(オンライン)										
				歩留りモデルの構築	欠陥とデバイス性能・歩留りの相関許容欠陥量・許容汚染量・許容ばらつき量の把握	歩留りモデル	歩留りモデル	許容欠陥量・汚染量・ばらつき量									
		計測技術	測定技術・形状観察技術	微細パターン・薄膜・高アスペクト比形状の高速で低価格な計測観察	ゲートCD・コンタクトCD・ラインCD・マスクCD測定精度	ゲートCD測定 (ArF+RET)	ArF+RETにおけるCD測定				ArF+RET+LFTにおけるCD測定						
					薄膜膜厚・ドレーピング量・配線コンタクトビア形状測定精度	薄膜膜厚計測	ドレーピング計測	高アスペクト比計測	(各世代の要求精度を満たすための継続的革新)								
					新材料の評価解析技術	歩留り信頼性保証のためのインライン・オフライン評価解析	物理的・電気的特性	SiON評価	Hi系評価	La系評価							
		設計 (SoC設計)	システムドライバ	SoC・コンピュータ・ネットワーク・モバイル機器・情報家電機器・車載・ロボット・健康・医療・カード・タグ	搭載ゲート数	12M		22M				44M				88M	
					再利用の割合(%)	20		40			60			80			
					再利用オーバーヘッドの比率(%)	20		15			15			10			
		設計 (SoC設計)	モジュール間通信技術	高速通信・伝送技術、ワイアレス通信技術、オンチップ光伝送技術、NOC(Network on Chip)、バスIP	通信速度	2.5Gbps		5Gbps			10Gbps				20Gbps		
					バンド幅、互換性、消費電力	高速シリアルインタフェース (PCI Express, SPIx, 他)	オンチップおよびチップ間ワイアレス通信技術	オンチップおよびチップ間光通信技術									
					マルチコア技術	マルチコア対応設計手法、マルチコア対応OS、コンパイラ、プラットフォームベース設計	PE (Processing Engine) 数	16	23	32	46	63	79	101	133	161	212
		設計 (SoC設計)	検証技術	等価性検証、モデルチェック、HW/SW協調検証	精度、TAT	静的検証: Property/Assertion/デザイン検証、等価検証	動的検証: 超高速論理シミュレータ、組み込みSW検証	静的検証: Function Coverage、高位等価性検証	動的検証: アナログ混載高速シミュレータ、マルチプロセス対応組み込みSW検証								
					性能・コスト見積り技術	プロファイルニング、アーキテクチャレベル性能見積り、SW性能見積り	精度、TAT	速度見積り	HW消費電力見積り	サイズ見積り	SW消費電力見積り						
					システム高付加価値化技術	システムレベル低消費電力化技術、高信頼性化技術	機能、性能、TAT	アーキテクチャレベル低消費電力化	HW/SW 高信頼性化	システム (SoC) ロバスタ化							
設計 (SoC設計)	システム複合化対応	基本シリコンインメンテーション技術	SoC設計期間	12ヶ月	12ヶ月	12ヶ月	12ヶ月	11ヶ月					11ヶ月				
			SoC設計生産性 (10 ⁶ Tr/10人年)	3.3	4.3	5.4	7.4	10.6					24.6				
			設計TAT	ゲートレベルフロアプラン、タイミング・SI・信頼性考慮レイアウト、大規模対応	RTL見積り、システムレベル設計との統合	データ管理、チームデザイン環境、SIP向け物理設計環境とのインターフェイス、Chip標準化											
設計 (SoC設計)	低消費電力化設計	消費電力低減	平均電力、クロック周波数、電源電圧	0.1W@450MHz、1V		0.1W@600MHz、0.8V			0.1W@900MHz、0.6V								
			マルチ電源対応、リーク電流対応	ダイナミックパワー対応													
			製造性考慮設計 (DFM/DFR/MASK)	プロセスに起因する設計と製造の境界面の問題	製造性、歩留まり、ポストファブ리케이션	OPC考慮最適化、マクロ(領域)DRC、ブロック別DRC技術	OPC考慮レイアウト、形状DRC、CMPシミュレーション考慮DRC技術	統計的設計手法									
設計 (SoC設計)	アナログ混載	Mixed Signal回路	設計精度	AnalogのIP化、シミュレーションの高速化/高精度化、Analog-DFT													
			IPベース設計	IP再利用技術	合成、見積り、モデリング	SIモデル相込(検証)技術	IP合成、性能・コスト見積り、IPマスタースライス技術										
			ライブラリ設計	ライブラリ作成技術	処理時間・精度	低消費電力向けライブラリ	ばらつき変動考慮(統計的設計手法対応)モデル、高速ライブラリ作成										
設計 (SoC設計)	回路設計	回路動作検証技術、回路シミュレータモデリング技術	処理時間・解析精度	インフラシカルCMOS回路シミュレータモデル	表面ポテンシャルモデル	ばらつき考慮(統計的手法)対応	量子効果対応										
			上位DFT	システムレベルDFT技術、実動作テスト、実機状態テスト技術	テスト時間、設計期間	設計制約検証、テスト容易性検証	RTLレベルDFT	動作レベルDFT									
			BISR	自動修復技術	歩留、製造期間	メモリ自動修復技術	論理回路自動修復技術										
テスト	故障診断	多重解析技術	解析期間	微細プロセス故障診断モデル化、故障診断技術	物理解析連動診断技術												
			故障モデル・不良モード解析	故障モデル化技術	テスト品質	高精度テイルテスト生成、評価技術	パラメトリック不良のテスト手法確立										
			テスト環境	標準準拠のテスト環境	テスト環境の構築・整備	言語、設計期間	STIL(IEEE1450)活用の特組み整備	テストプログラム生成環境の整備	テストプログラム開発フローの確立と検証								

【注2】ここではITRSのリングラフィで定義されているLWRを採用した。